

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-147390

(43) 公開日 平成7年(1995)6月6日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115  
21/8247  
29/788

7210-4M

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数29 F D (全 12 頁) 最終頁に続く

(21) 出願番号 特願平6-197977  
(22) 出願日 平成6年(1994)7月29日  
(31) 優先権主張番号 9 3 8 3 0 3 3 9 . 3  
(32) 優先日 1993年7月29日  
(33) 優先権主張国 イタリア ( I T )

(71) 出願人 594131175  
エッセジエッセートムソン ミクロエレクトロニクス ソチエタ レスボンサピリタ リミテ  
イタリア国, イ-20041 ミラノ, アグラテ プリアンツァ, ピア チ. オリベッティ, 2  
(72) 発明者 フェデリコ ビーオ  
イタリア国, イ-20154 ミラノ, ピア グラン エッセ. ペルナルド, 15  
(74) 代理人 弁理士 酒井 宏明

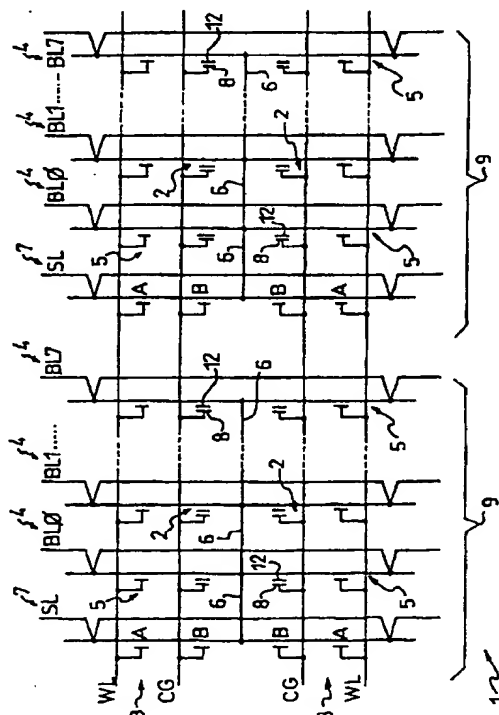
最終頁に続く

(54) 【発明の名称】 メモリセル・マトリクス用回路構造およびその製造方法

(57) 【要約】

【目的】 メモリの信頼性を向上させ、その寿命をより長くすると同時に、トンネル酸化物の劣化を緩和し、負電圧を用いた場合におけるプログラミング上の問題を軽減させる。

【構成】 マトリクス内の各セルは、コントロール・ゲートにつながれて、コントロール・ゲート・ラインに接続されており、選択トランジスタと直列に接続されているフローティング・ゲートを内蔵し、また、各個別のバイトのセルが対応するソース・エリアを共有しており、そのエリアがバイト毎に構造的に独立し、マトリクス・カラムに沿って延びている対応するソース・アドレスラインにつながれている。



## 【特許請求の範囲】

【請求項 1】 複数の行と列により構成され、各行にワード・ラインとコントロール・ゲート・ラインが設けられており、また、各列にビット・ラインが設けられており、前記ビット・ラインが同時にアクセスできる隣接ラインのグループあるいはバイトにまとめられているセルのマトリクスにより構成され、前記マトリクス・セルが、それぞれ前記コントロール・ゲート・ラインに接続されたコントロール・ラインに結合されており、選択トランジスタに直列で接続されているフローティング・ゲート・トランジスタを内蔵している EEPROM メモリセル・マトリクス用回路構造において、各個別バイトのセルがそれぞれのソース・エリアを共有しており、前記エリアが構造的に各バイト毎に独立しており、マトリクス・カラムに沿って延びている対応ソース・アドレッシング・ラインにつながっていることを特徴とするメモリセル・マトリクス用回路構造。

【請求項 2】 前記ソース・アドレッシング・ラインが、各個別バイトのセルによって共有される複数のセグメントにほぼ分割されていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 3】 望ましいバイトを選択するとき、前記ソース・アドレッシング・ラインがデコードされることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 4】 前記各セグメントが、個別にアドレス可能で、望ましいバイトをアクセスあるいはプログラミングする際にデコードされることを特徴とする請求項 2 記載のメモリセル・マトリクス用回路構造。

【請求項 5】 前記ソース・アドレッシング・ラインが、少なくとも 1 つの、同一のバイトのセルのソース領域に接続されたイネーブル・トランジスタにより構成されていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 6】 前記イネーブル・トランジスタが、各ワード・ラインのソース・アドレッシング・ラインとの交差点に設けられていることを特徴とする請求項 5 記載のメモリセル・マトリクス用回路構造。

【請求項 7】 前記ソース・アドレッシング・ラインが、少なくともベアの、同一のバイトのソース領域に接続されたイネーブル・トランジスタにより構成されていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 8】 前記イネーブル・トランジスタのうちの 1 つが、各ワード・ラインのソース・アドレッシング・ラインとの交差点に設けられていることを特徴とする請求項 7 記載のメモリセル・マトリクス用回路構造。

【請求項 9】 前記イネーブル・トランジスタのうちの 1 つが、各コントロール・ゲート・ラインのソース・アドレッシング・ラインとの交差点に設けられていることを

特徴とする請求項 7 記載のメモリセル・マトリクス用回路構造。

【請求項 10】 半導体基板の上に MOS 技術により形成されたタイプのメモリセルのマトリクスを製造する方法において、前記セルが反応性ソースおよびドレイン・エリアを有し、それぞれ対応する選択トランジスタに直列に接続されているフローティング・ゲート・トランジスタにより構成されており、前記マトリクスの列に沿って伸びており、それぞれフローティング・ゲート・トランジスタおよび選択トランジスタと並進的に形成されるイネーブル・トランジスタを含んでいる、前記反応性ソース・エリアのための複数のアドレッシング・ラインを形成することを特徴とする製造方法。

【請求項 11】 任意のバイトのセルに組み込まれたトランジスタの前記反応性ソース・エリアが、同一の対応する前記ソース・アドレッシング・ラインと共通に形成されていることを特徴とする請求項 10 記載の製造方法。

【請求項 12】 あらかじめ決められたバイトのセル内に組み込まれたトランジスタのソース端子が、同一の対応する前記ソース・アドレッシング・ラインに接続されていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 13】 あらかじめ決められたバイトのセル内に組み込まれたトランジスタのドレイン端子が、あらかじめ決められたバイトにより構成される前記ビット・ラインに接続されていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 14】 前記選択トランジスタが、各ワード・ラインと各ビット・ラインとの交差点に設けられていることを特徴とする請求項 1 記載のメモリセル・マトリクス用回路構造。

【請求項 15】 それぞれ、1 つのワード・ラインに対応してアドレス可能なセルのマトリクスと、複数の行および列で、前記各行が前記ワード・ラインで構成され、前記各列が 1 つのビット・ラインにより構成され、前記ビット・ラインが同時にアクセスできるラインのグループ、あるいはバイトにまとめられており、前記バイトが前記ワード・ラインおよび前記バイトに対して共通のソース・アドレッシング・ラインに共通である複数の行および列と、1 つのバイトの前記メモリセルに対する共通ソース・エリアで、各バイト毎に構造的に独立であり、さらに、前記バイトのための対応するソース・アドレッシング・ラインに接続されており、前記共通ソース・エリアが 1 ワード・ラインにつき 1 バイトに対してのみ共通である共通ソース・エリアにより構成されることを特徴とするメモリセル・マトリクス用回路構造。

【請求項 16】 前記ソース・アドレッシング・ラインが、各個別バイトの前記セルによって共有されるセグメントにほぼ分割されていることを特徴とする請求項 15 記載のメモリセル・マトリクス用回路構造。

【請求項17】 望ましいバイトにアドレスするとき、前記ソース・アドレッシング・ラインが、デコードされることを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項18】 前記各セグメントが、個別にアドレス可能で、望ましいバイトをアドレスするときにデコードされることを特徴とする請求項16記載のメモリセル・マトリクス用回路構造。

【請求項19】 前記ソース・アドレッシング・ラインが、さらに、前記望ましいバイトをアドレスするときに、その望ましいバイトの前記共通ソース・エリアを選択するための手段を含んでいることを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項20】 前記共通ソース・エリアを選択するための手段が、前記ワード・ラインに対応していることを特徴とする請求項19記載のメモリセル・マトリクス用回路構造。

【請求項21】 それぞれ1つのプログラム・ラインに対応してプログラムされるセルのマトリクスと、それぞれ前記プログラム・ラインにより構成されている複数の行と、選択されていない行の前記メモリセルのプログラミングを防止するための手段であって、前記ビット・ラインに直列に接続されており、前記ワード・ラインに応答する手段とを、さらに、具備することを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項22】 前記ソース・アドレッシング・ラインがさらに、望ましいバイトをプログラミングする際、前記望ましいバイトの前記共通ソース・エリアを選択するための前記プログラム・ラインに応答する手段を含んでいることを特徴とする請求項21記載のメモリセル・マトリクス用回路構造。

【請求項23】 前記選択されていない行の前記メモリセルがプログラミングの防止するための前記手段が、前記ワード・ラインと前記ビット・ラインとの交差点に設けられていることを特徴とする請求項21記載のメモリセル・マトリクス用回路構造。

【請求項24】 望ましいバイトをプログラミングするときに、前記望ましいバイトの前記共通ソース・エリアを選択するための手段が、前記ワード・ラインと前記ソース・アドレッシング・ラインとの交差点に設けられていることを特徴とする請求項19記載のメモリセル・マトリクス用回路構造。

【請求項25】 望ましいバイトをプログラミングするときに、前記望ましいバイトの前記共通ソース・エリアを選択するための手段が、さらに、前記プログラム・ラインと前記ソース・アドレッシング・ラインの交差点に設けられている第2のイネーブル・トランジスタを含んでいることを特徴とする請求項19記載のメモリセル・マトリクス用回路構造。

【請求項26】 前記メモリセルが、ROM装置を含ん

でいることを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項27】 前記メモリセルが、PROM装置を含んでいることを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項28】 前記メモリセルが、EPROM装置を含んでいることを特徴とする請求項15記載のメモリセル・マトリクス用回路構造。

【請求項29】 前記メモリセルが、EEPROM装置を含んでいることを特徴とする請求項21記載のメモリセル・マトリクス用回路構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリセル・マトリクス用回路構造に関するものであり、より詳細には、EEPROMメモリセルのマトリクス・レイアウトに関するものである。

【0002】

【従来の技術】周知のように、EEPROMメモリ構造は、非揮発性タイプでありながら、そこに書き込まれている情報を、その書き込みおよび消去の両方のフェーズで電氣的に修正することができる。さらに、“ページ (page)” モード、あるいは“バイト (byte)” モードのいずれでも行える電氣的プログラミングのタイプにより、際立った特徴を有している。

【0003】前者のモードにおいては、マトリクスの1つの行のすべてのセルが同時にアドレスされる。後者のモードにおいては、1つの行のうちで使えるいくつかのバイトの内1つのバイトだけがアドレスされる。

【0004】EEPROMメモリ内におけるどのセルの状態も、セルのフローティング・ゲートに関連したシリコン酸化物の薄い層を介してのトンネル効果による電子流によって変更することができる。薄い酸化物領域はフローティング・ゲートより小さな領域を占めており、そこに電荷が蓄えられる。

【0005】ポリシリコン層の数の違いによって確認することができる、他のタイプのEEPROMメモリも存在する。実際、ポリシリコン層が1つ、2つ、および3つのセルが存在する。最もよく使われているのは、FLOTOXセルとして知られている2つのレベルのポリシリコンを有するセルである。こうしたセルは、例えば、Journal App. Phys., No. 9, 1992の“電氣的に消去可能な読み取り専用メモリの耐久性評価のための酸化物信頼性判定基準”という文献に開示されている。

【0006】ポリシリコン層の数には関係なく、セルの書き込みおよび消去フェーズにおいては、トンネル層またはコントロール・ゲートの下層である拡散層に印加される正電圧を用いるのが一般的な方法である。この電圧は酸化物薄層全体にトンネル効果を積極的に引き起こす

のに十分な強さの電界を発生させるために、8～18ボルトの範囲において変動する。

【0007】しかしながら、こうした比較的高い電圧の使用は、度々、酸化物薄層の劣化を招き、それによって、セルやメモリ構造全体を修復不可能な程度にまで破損してしまう恐れがある。プログラミングのために、例えば、書き込みフェーズ中に負電圧を用いることによって、こうした問題を回避できる。

【0008】すなわち、従来におけるタイプのセルの場合、コントロール・ゲートを単一のバイト（例えば、8あるいは16ビット）に対して共通な複数のセグメントに分割して、バイト・モード・プログラミングが実行される。そして、コントロール・ゲートはセル・マトリクスの外部の列・デコーダによって選択されて、1つの行内における複数のセルにより共有されるセレクト・トランジスタによってイネーブルされる。

【0009】

【発明が解決しようとする課題】しかしながら、このように、プログラミングは、指定されたバイトだけでイネーブルされるが、このプログラミング・フェーズにおける負電圧の使用は、いくつかの重大な問題を引き起こす。

【0010】例えば、各コントロール・ゲートの各セグメントは、プログラミング・フェーズ中に印加される正および負電圧の両方を取り扱うことができるスイッチ構成を必要としているため、1つのバイトを選定するために大きな集積回路エリアが必要になる。

【0011】この発明は、上記に鑑みてなされたものであり、メモリの信頼性を向上させ、その寿命をより長くすると同時に、トンネル酸化物の劣化を緩和し、負電圧を用いた場合におけるプログラミング上の問題を軽減してくれるような構造的、および機能的特長を有するEEPROMタイプのメモリセル・マトリクス用回路構造およびその製造およびプログラミングのための方法を得ることを目的とする。

【0012】また、従来の設計による同様の回路より小さな回路面積を占有するだけですむ非常に高密度の集積回路を得ることを目的とする。これは、高密度集積回路の製造コストの大幅な切り下げを可能にする。

【0013】

【課題を解決するための手段】上記の目的を達成するために、請求項1に係る発明は、複数の行と列により構成され、各行にワード・ラインとコントロール・ゲート・ラインが設けられており、また、各列にビット・ラインが設けられており、前記ビット・ラインが同時にアクセスできる隣接ラインのグループあるいはバイトにまとめられているセルのマトリクスにより構成され、前記マトリクス・セルが、それぞれ前記コントロール・ゲート・ラインに接続されたコントロール・ラインに結合されており、選択トランジスタに直列で接続されているフロ

ティング・ゲート・トランジスタを内蔵しているEEPROMメモリセル・マトリクス用回路構造において、各個別バイトのセルがそれぞれのソース・エリアを共有しており、前記エリアが構造的に各バイト毎に独立しており、マトリクス・カラムに沿って延びている対応ソース・アドレッシング・ラインにつながっているものである。

【0014】また、請求項2に係る発明は、前記ソース・アドレッシング・ラインが、各個別バイトのセルによって共有される複数のセグメントにほぼ分割されているものである。

【0015】また、請求項3に係る発明は、望ましいバイトを選択するときに、前記ソース・アドレッシング・ラインがデコードされるものである。

【0016】また、請求項4に係る発明は、前記各セグメントが、個別にアドレス可能で、望ましいバイトをアクセスあるいはプログラミングする際にデコードされるものである。

【0017】また、請求項5に係る発明は、前記ソース・アドレッシング・ラインが、少なくとも1つの、同一のバイトのセルのソース領域に接続されたイネーブル・トランジスタにより構成されているものである。

【0018】また、請求項6に係る発明は、前記イネーブル・トランジスタが、各ワード・ラインのソース・アドレッシング・ラインとの交差点に設けられているものである。

【0019】また、請求項7に係る発明は、前記ソース・アドレッシング・ラインが、少なくともベアの、同一のバイトのソース領域に接続されたイネーブル・トランジスタにより構成されているものである。

【0020】また、請求項8に係る発明は、前記イネーブル・トランジスタのうちの1つが、各ワード・ラインのソース・アドレッシング・ラインとの交差点に設けられているものである。

【0021】また、請求項9に係る発明は、前記イネーブル・トランジスタのうちの1つが、各コントロール・ゲート・ラインのソース・アドレッシング・ラインとの交差点に設けられているものである。

【0022】また、請求項10に係る発明は、半導体基板上にMOS技術により形成されたタイプのメモリセルのマトリクスを製造する方法において、前記セルが反応性ソースおよびドレイン・エリアを有し、それぞれ対応する選択トランジスタに直列に接続されているフローティング・ゲート・トランジスタにより構成されており、前記マトリクスの列に沿って伸びており、それぞれフローティング・ゲート・トランジスタおよび選択トランジスタと並進的に形成されるイネーブル・トランジスタを含んでいる、前記反応性ソース・エリアのための複数のアドレッシング・ラインを形成するものである。

【0023】また、請求項11に係る発明は、任意のバイトのセルに組み込まれたトランジスタの前記反応性ソ

ース・エリアが、同一の対応する前記ソース・アドレッシング・ラインと共通に形成されているものである。

【0024】また、請求項12に係る発明は、あらかじめ決められたバイトのセル内に組み込まれたトランジスタのソース端子が、同一の対応する前記ソース・アドレッシング・ラインに接続されているものである。

【0025】また、請求項13に係る発明は、あらかじめ決められたバイトのセル内に組み込まれたトランジスタのドレイン端子が、あらかじめ決められたバイトにより構成される前記ビット・ラインに接続されているものである。

【0026】また、請求項14に係る発明は、前記選択トランジスタが、各ワード・ラインと各ビット・ラインとの交差点に設けられているものである。

【0027】また、請求項15に係る発明は、それぞれ、1つのワード・ラインに対応してアドレス可能なセルのマトリクスと、複数の行および列で、前記各行が前記ワード・ラインで構成され、前記各列が1つのビット・ラインにより構成され、前記ビット・ラインが同時にアクセスできるラインのグループ、あるいはバイトにまとめられており、前記バイトが前記ワード・ラインおよび前記バイトに対して共通のソース・アドレッシング・ラインに共通である複数の行および列と、1つのバイトの前記メモリセルに対する共通ソース・エリアで、各バイト毎に構造的に独立であり、さらに、前記バイトのための対応するソース・アドレッシング・ラインに接続されており、前記共通ソース・エリアが1ワード・ラインにつき1バイトに対してのみ共通である共通ソース・エリアにより構成されるものである。

【0028】また、請求項16に係る発明は、前記ソース・アドレッシング・ラインが、各個別バイトの前記セルによって共有されるセグメントにほぼ分割されているものである。

【0029】また、請求項17に係る発明は、望ましいバイトにアドレスするとき、前記ソース・アドレッシング・ラインが、デコードされるものである。

【0030】また、請求項18に係る発明は、前記各セグメントが、個別にアドレス可能で、望ましいバイトをアドレスするときデコードされるものである。

【0031】また、請求項19に係る発明は、前記ソース・アドレッシング・ラインが、さらに、前記望ましいバイトをアドレスするとき、その望ましいバイトの前記共通ソース・エリアを選択するための手段を含んでいるものである。

【0032】また、請求項20に係る発明は、前記共通ソース・エリアを選択するための手段が、前記ワード・ラインに対応しているものである。

【0033】また、請求項21に係る発明は、それぞれ1つのプログラム・ラインに対応してプログラムされるセルのマトリクスと、それぞれ前記プログラム・ライン

により構成されている複数の行と、選択されていない行の前記メモリセルのプログラミングを防止するための手段であって、前記ビット・ラインに直列に接続されており、前記ワード・ラインに応答する手段とを、さらに、具備するものである。

【0034】また、請求項22に係る発明は、前記ソース・アドレッシング・ラインがさらに、望ましいバイトをプログラミングする際、前記望ましいバイトの前記共通ソース・エリアを選択するための前記プログラム・ラインに応答する手段を含んでいるものである。

【0035】また、請求項23に係る発明は、前記選択されていない行の前記メモリセルのプログラミングを防止するための前記手段が、前記ワード・ラインと前記ビット・ラインとの交差点に設けられているものである。

【0036】また、請求項24に係る発明は、望ましいバイトをプログラミングするときに、前記望ましいバイトの前記共通ソース・エリアを選択するための手段が、前記ワード・ラインと前記ソース・アドレッシング・ラインとの交差点に設けられてるものである。

【0037】また、請求項25に係る発明は、望ましいバイトをプログラミングするときに、前記望ましいバイトの前記共通ソース・エリアを選択するための手段が、さらに、前記プログラム・ラインと前記ソース・アドレッシング・ラインの交差点に設けられている第2のイネーブル・トランジスタを含んでいるものである。

【0038】また、請求項26に係る発明は、前記メモリセルが、ROM装置を含んでいるものである。

【0039】また、請求項27に係る発明は、前記メモリセルが、PROM装置を含んでいるものである。

【0040】また、請求項28に係る発明は、前記メモリセルが、EPROM装置を含んでいるものである。

【0041】また、請求項29に係る発明は、前記メモリセルが、EEPROM装置を含んでいるものである。

【0042】

【作用】本発明に係るメモリセル・マトリクス用回路構造およびその製造方法よれば、ソース回線（source line）は、単一のバイトの複数のセル（例えば、8あるいは16ビットを有している）によって、共有する複数の規則的なセグメントに分割され、望ましいバイトのプログラミングを行う場合、それらのセグメントをデコードする。

【0043】また、EEPROMメモリは、行と列によるマトリクスに構成されたセルのグループを含んでおり、それぞれのセルにワード・ラインとビット・ラインがそれぞれ1本ずつ設けられており、ビット・ラインは隣接ラインと共に、同時にアクセス可能な複数のグループまたはバイトにまとめられている。上記各セルは選択トランジスタに直列に接続されたフローティング・ゲートを有しており、そのフローティング・ゲートに重ねられた追加コントロール・ゲートを有している。

【0044】本発明によれば、上記に説明した概要のほか、さらに請求項1において特徴付けられた部分に定義されているような回路構造が提供される。本発明に係る回路構造の特徴と利点は、実施例として取り上げられ、発明を何ら限定するものではなく、本発明に係る1つの実施例に関する詳細な説明と関連する図面を参照することにより、それは明確になる。

#### 【0045】

【実施例】以下、この発明に係るメモリセル・マトリクス用回路構造およびその製造方法の実施例を図面に基

いて説明する。図1には、本発明に係る回路構造1におけるメモリセル2、特に、EEPROMメモリセルのマトリクスを形成するための回路構造1が概略的に示されている。回路構造1は、数千のメモリセル2を組み込んだ半導体集積回路の形態に構成されている。しかし、図1には、この回路の一部分のみが示されているだけである。

【0046】回路構造1によってもたらされるマトリクスは、行3および複数の列4とによって構成されている。各行3はワード・ラインWLと対応するコントロール・ゲートCGを含んでいる。一方、列4はそのマトリクスのビット・ライン(BL0~7)を含んでいる。メモリ・サイズに従って、ビット・ラインBLはバイト9、すなわち、BL0からBL7までの8つのグループ、または、同時にアクセスできる隣接ラインにまとめられる。

【0047】ワード・ラインWLとビット・ラインBLとの交差点に、選択トランジスタ5が存在している。加えて、ビット・ラインBLはマトリクスの任意の列4の共通選択トランジスタ5のすべてのドレイン端子と接続

している。

【0048】各選択トランジスタ5は、フローティング・ゲートEEPROMセル2と組み合わせられ、それらと直接に接続されている。特に、メモリ・セル2は、2つのポリシリコン層を有するタイプであり、基本的にはFLOTOXタイプの基本構造を有している。メモリ・セル2の中核部は、電荷が蓄えられて、セルの2つの異なった(“書き込み”および“消去”)状態を示すフローティング・ゲート12を有するMOSトランジスタから構成されている。フローティング・ゲート12を図2に示す。また、図3は、図2に示した線I I I-I I Iに沿って取った垂直部分を示す拡大図であり、図4は、図2に示した線I V-I Vに沿って取った垂直部分を示す拡大図である。

【0049】一般的に、メモリ・セル2は、第2のゲートあるいはコントロール・ゲート8を含んでおり、“インターポリ(interpoly)”と呼ばれる間に位置する誘電層を介してフローティング・ゲート12にキャパシタンス可能に接続されている。電圧は、メモリ・セル2の書き込み、あるいは消去フェーズ中に、コン

ロール・ゲート8から上記誘電層を介してフローティング・ゲート12に移送される。

【0050】コントロール・ゲート8のコントロール端子は、回路構造1内部のいずれか1つの行3を構成するすべてのメモリ・セル2によって共有されている。回路構造(マトリクス)1の各行3には、その目的のために、コントロール・ゲート8間に存在する専用接続回線CGが設けられている。

【0051】本発明によれば、回路構造1はさらに、それぞれ対応するバイト9と組み合わせられた複数のソース・アドレッシング・カラム(列)7を含んでいる。こうしたカラム7は、ソース・アドレッシング・ラインSLとも呼ばれる。

【0052】ここに、実例として述べる実施例において、ソース・アドレッシング・ラインSLはそれぞれ隣接する各対間に接続されており、すなわち、バイト9を構成するビット・ラインBLの各グループに対してソース・アドレッシング・カラム7が設けられている。しかしながら、ビット・ラインBL間にそうしたソース・アドレッシング・ラインSLを設けてはならない理由はまったく

ない。

【0053】各ソース・アドレッシング・ラインSLは、1つの列上に並んでいる一連のイネーブル・トランジスタAとBの端子を接続している。Aの符号が付されているトランジスタは、各ワード・ラインWLとソース・アドレッシング・カラム7との交差点に配置されており、符号Bが付されているトランジスタは、コントロール・ゲート8をソース・アドレッシング・カラム7に接続している各接続回線CGの交差点に設けられている。

【0054】本発明によれば、1つのバイト9内におけるメモリ・セル2に組み込まれているすべてのトランジスタのソース端子は、1つの、そして同一の対応ソース・アドレッシング・ラインSLにつながれている。これによって、結果的に、ソース・アドレッシング・ラインSLが、それぞれ単一のバイト9と形成するセルのソース領域6に接続された複数のセグメントに分割されることになる。

【0055】図2に示されている実際の実施例で見ると、任意のバイト9のすべてのメモリ・セル2はソース・アドレッシング・ラインSLの対応する1つと共通して形成している対応ソース領域を有している。加えて、上のバイトと線対称の位置にあるバイトのソース領域、すなわち、次の行3のバイトとも共通である。ソース・アドレッシング・ラインSL内に存在しているイネーブル・トランジスタAおよびBは絶対に必要なものではないが、それらを設けることによって、以下に述べるようにノイズが少なくなるという利点が得られる。

【0056】トランジスタAは、そのメモリ構造にアクセスするときにアドレスされるであろう行3内におけるソース・アドレッシング・ラインSLのセグメントを選択

するためのものである。各トランジスタAはその対応するワード・ラインWLにより駆動される。

【0057】トランジスタBは、追加イネーブル・トランジスタである。これらのトランジスタは対応する接続ラインCGにより駆動され、消去シーケンス中に印加される電圧に耐えられるように高電圧タイプでなければならない。

【0058】各トランジスタBは、その対応するソース・アドレッシング・ラインSLの直列抵抗の小さな増加を示すだけである。望ましくは、トランジスタBの長さおよび幅を適当に選択することによって減少することもできるし、あるいは、トランジスタをポリシリコンあるいは金属の埋め込みまたは接続ブリッジと短絡させて取り除くこともできる。

【0059】次に、本発明に係るメモリ・セルをプログラムする方法について述べる。実際には、このメモリ・セル2の独特な、そして新しい構造は、まったく新しい方法でのプログラミングを可能にする。

【0060】従来における記憶回路では、任意のセルの書き込みおよび消去のために通常正電圧パルスが採用される。これらのパルスは、トンネル酸化物層を介しての電流を引き起こすのに十分な電界が発生するようにセル端子に対して印加される。

【0061】それとは対照的に、本発明に係るメモリ構造は、書き込みフェーズ中、予め決められた各メモリ・セル2のコントロール・ゲート8に印加するための負電圧の使用を可能にする。特に、書き込みフェーズ中に、\*

選択されたバイト

	V <sub>source</sub> [V]	V <sub>drain</sub> M [V]	WL <sub>select, tr</sub> [V]	V <sub>co</sub> [V]
書き込み	フロート	5	6	-18
消去	0	フロート	6	16
読み出し	0	1	6	3

【0067】

【表2】

選択されたバイトを同じ列(同じWLおよびCG)にある選択されていないバイト

	V <sub>source</sub> [V]	V <sub>drain</sub> M [V]	WL <sub>select, tr</sub> [V]	V <sub>co</sub> [V]
書き込み	フロート	フロート	6	-8
消去	5	フロート	6	16
読み出し	フロート	フロート	5	3

【0068】

【表3】

\*表1に示される電圧がいろいろな端子の指定されたバイトに印加される。

【0062】以下の表において、書き込み、消去、あるいは読み出しフェーズのそれぞれに関するソース・アドレッシング・ラインSL、ビット・ラインBL(ドレイン・コンタクト)、ワード・ラインWL(セレクト・トランジスタのゲート)、およびコントロール・ゲート8上での電圧値が示されている。

【0063】コントロール・ゲート8における電圧は、選択トランジスタ5のゲートに印加される電圧と同様、行毎にデコードされる。一方、ドレイン端における電圧は、ソース・アドレッシング・ラインSLのソース端子での電圧と同様、列毎にデコードされる。

【0064】指定されたバイトの消去および読み出しフェーズは同様の方法で行われるが、この場合、種々の端子に負電圧が印加できない点が異なっている。イネーブル・トランジスタAおよびBが設けられていない場合、消去フェーズ上の電圧はゼロであってもよい。

【0065】一方、下記の表2は、選択されていないが、選択されたバイトと同じ行内に存在しているバイトに印加される電圧の値を示している。同様に、表3、表4は、選択されてはいないが、選択されたバイトと同じ列内において存在するバイトに印加される電圧のレベルを示している。

【0066】

【表1】

13

14

選択されたバイトと同じカラムにある選択されていないバイト（ソースとしての  
同じデコーディング）

	V <sub>source</sub> [V]	V <sub>drain</sub> M [V]	WL <sub>select</sub> [V]	V <sub>cc</sub> [V]
書き込み	フロート	5	0	0
消去	0	フロート	0	0
読み出し	フロート	フロート	0	0

【0069】

【表4】

選択されたバイトとは異なっている列内の選択されていないバイト

	V <sub>source</sub> [V]	V <sub>drain</sub> M [V]	WL <sub>select</sub> [V]	V <sub>cc</sub> [V]
書き込み	フロート	フロート	0	0
消去	5	フロート	0	0
読み出し	フロート	フロート	0	0

【0070】どのケースにおいても、種々の端子に印加される分極は、上記したのと同じ方法で移送される。すなわち、コントロール・ゲート・デコーディングは行毎に実行され、ドメイン端子およびソース端子のデコーディングは列毎に行われる。

【0071】書き込みフェーズは、コントロール・ゲート8に対して負電圧、そして、メモリ・セル2のドレイン領域に正電圧を用いることを特徴とする。これによりフローティング・ゲート12から電子を引き出すのに十分な程の強さを持つ電界の発生を可能にする。しかしながら、この動作は1つの行3のすべてのセルで一定のノイズを発生させる。実際には、同じ行3内におけるすべてのセルに対する接続ラインCGと共通している、そのコントロール・ゲート8に対しては、負電圧も印加される。

【0072】このノイズは、バイト・プログラミング・モードにおいては、抑制が困難な場合もあるが、ノイズの影響は印加される電圧の値を適切に調整することによって減少させることができる。

【0073】消去フェーズ中に、ソース・アドレッシング・カラム7のソース・ラインSL<sub>SL</sub>上の電圧V<sub>s</sub>=0が選択されたバイト9に属するメモリ・セル2のソース端子に対する列から取り出される。実際には、トランジスタAとトランジスタBの両方とも電気が通じており、選択されたバイト9の各メモリ・セル2にはトンネル領域を介してフローティング・ゲート12から電子が注入される。

【0074】しかしながら、選択されてはいないが、同じ行3内に配置されているバイトが消去されるのを防ぐために、選択されていないソース・アドレッシング・カラム7のソース・ラインSLの電圧を5ボルトに設定する。この場合においても、電圧はトランジスタAおよびBが電通しているので、各バイトに関連するすべてのソース・セグメントに伝えられる。

【0075】こうした方法において、トンネル酸化物の電界はファウラー・ノルデハイム（Fowler-Nordheim）導通メカニズムを有意に引き起こす程の強さは持たない。したがって、これら選択されていないバイトのセルに蓄えられている情報は何ら変化を受けない。

【0076】加えて、選択されたもの以外の行のすべてのバイトは、正にせよ、負にせよ、十分に高い値の電圧が、そのコントロール・ゲートに印加されないの、消去および書き込み動作によって影響を受けない。このフェーズ中、トランジスタAへの通電が切断され、ソース端子に対して電圧が印加されない状態では、選択されない行のバイトには、消去フェーズ中、ソース・カラムSLに印加される比較的低い電圧からのノイズが現れず、そのことによってそれらのバイトのフロート（float）が可能になる。読み出しフェーズは通常の方法で行われる。

【0077】次に、本発明に係る回路構造を組み込んだ半導体集積装置の形成を可能にする製造方法のステップを、図2から図5までの例を参照しつつ説明する。特に、ソース・アドレッシング・ラインSL用のトランジスタAおよびBを組み込んだ回路を作成する処理ステップを以下に説明する。

【0078】回路構造（マトリクス）1内におけるメモリ・セル2は、Nタイプ（N-type）、あるいはPタイプ（P-type）・ウェル（wells）のいずれかを用いて形成されるPドーパされる半導体基板（P-doped semiconductor substrate）10から始めて、MOS技術を用いて実施される。

【0079】以下の説明は、基板10上の反応性エリアをホトリソグラフィを用いて定義するステップから開始される。これらの反応性エリアの中で、同じバイト9内のセル2の共通ソース領域6は、図5に示されているよ



うに、隣接バイトのソース領域から構造的にも電氣的にも分離されている。フィールド酸化物22の成長は、そうした共通ソース領域6の区別を可能にする。

【0080】次に、ゲート酸化物が、種々のトランジスタ・タイプに応じて、いろいろな深さで形成される。例えば、フローティング・ゲート2に対しては9nm程度のトンネル酸化物24の厚さが好まれ、一方、選択トランジスタ5に対しては20nm程度の厚さが適切である。

【0081】ソース・アドレッシング・ラインSLのトランジスタAおよびBに関しては、前者は厚さが20nmあるいは30nmの、低または高電圧用のゲート酸化物26を有する場合があります、一方、後者のトランジスタBは高電圧に耐える必要があり、ゲート酸化物16に対しては30nm程度の厚さを必要とする。それぞれ非常に異なった厚さにするときには、基板10の表面上に24nm程度の第1の酸化物層を形成するなどの方法により段階的に進めていく。

【0082】この第1の層をレジストによりマスクして、低電圧酸化物を成長させるべき箇所をエッチングする。次に、レジストを取り除いて、厚さ18nm程度の第2の酸化物層を成長させる。この第2の成長の過程において、第1の層の深さも増大する。

【0083】その後に行われるレジストでのマスクング段階で、高および低電圧酸化物16、26が被覆され、トンネル領域において酸化物層がエッチング除去される。レジストの除去と、その後におけるトンネル誘電層24の成長によって、低および高電圧酸化物16および26の厚さがそれぞれ実現する。こうした異なった厚さを実現する上で、別の手順の使用を禁じる理由はまったくない。

【0084】この処理の後、セル2のフローティング・ゲート12のための第1の多結晶シリコン（ポリシリコン）層20を形成するための蒸着（deposition）、ドーピング、およびホトリソグラフィ的指定（definition）が行われる。そして第1のポリシリコン層20の上に、ポリシリコン層間誘電層25が形成される。

【0085】しかしながら、このポリシリコン層間誘電層25は、後でフローティング・ゲートを有さない通常のトランジスタAおよびBを得るために、ソース・アドレッシング・ラインSLに沿って除去される。回路構造（マトリクス）1の他の領域はこの操作の過程でフォトレジストによって保護される。

【0086】さらに、第2のポリシリコン層21の蒸着およびドーピングによって、コントロール・ゲート8および選択トランジスタ5のゲート、そして、エネーブル・トランジスタAおよびBのゲートの形成が可能になる。

【0087】その後、少なくとも1つの種類のNタイプ

を用いて、メモリ・セル2、選択トランジスタ5およびトランジスタAおよびBの反応性領域15のためのソースおよびドメイン・インプラネーション（implantations）が行われる。

【0088】このプロセスは、以下を形成するためのステップを行うことにより完了する。すなわち、

(1) いわゆる、スペーサ19；

(2) 回路構成（マトリクス）1と組み合わされた回路のためのN-およびP-チャンネル／トランジスタ；

(3) 層間に配置される誘電層17および終端金属化層18；

である。

【0089】

【発明の効果】全体として、上記したプロセスは、従来における方法に加えて、別のステップを追加しなくても達成できるという利点がある。上記したようなプロセスにより得られる回路構造は、以下の技術的な問題を解決し、そして、以下のような利点を提供してくれる。

【0090】第1に、上記の方法は、書き込みフェーズ中に負電圧が用いられる場合にも個々のバイトに対してプログラミングを行うことができる。

【0091】コントロール・ゲート8における負電圧の使用は、ドメイン領域に印加される電圧をより低くすると同時に、酸化物薄層全体で、従来におけるメモリ・セルにより与えられたのと等しい電界の維持を可能にしてくれる。したがって、トンネル酸化物薄層の劣化を大幅に低減することができる。

【0092】加えて、書き込みフェーズの過程において、メモリ・セル2のコントロール・ゲート8における負電圧を用いるので、トンネル酸化物全体に望ましいプログラミング電流を分布させるために必要な電圧を達成することができる。

【0093】本発明に係る回路は、従来における同様の技術と対比して、より小さな面積にて集積することができる。そして、この新しいメモリ・セルはファウラー・ノルデハイム・トンネル効果に基づいて動作し、その固有の閾値をほとんどゼロに近い値に設定することができるので、この構造は低電圧供給装置に適している。

【0094】上記した説明および図示したメモリ・セルは、上記特許請求の範囲において定義されている発明の範囲から逸脱せずに変更、修正することも可能である。

【図面の簡単な説明】

【図1】本発明に係る回路構造を示す説明図である。

【図2】図1に示した新しい回路構造が形成されている半導体部分を上から見た拡大図である。

【図3】本発明に係る回路構造が形成されている半導体部分の、図2に示した線I-I'に沿って取った垂直部分を示す拡大図である。

【図4】本発明に係る回路構造が形成されている半導体部分の、図2に示した線V-V'に沿って取った垂直

部分を示す拡大図である。

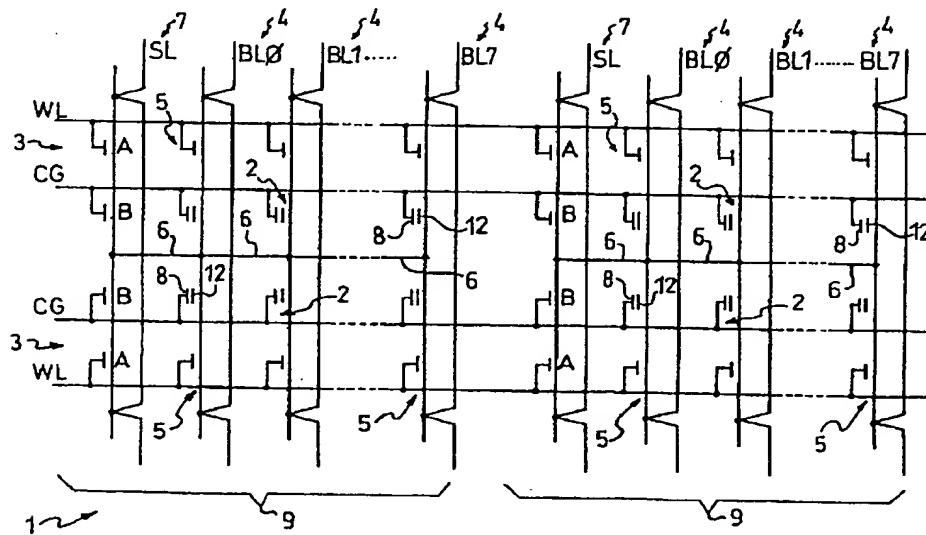
【図 5】本発明に係る回路構造が形成されている半導体部分の、図 2 に示した線 V-V に沿って取った垂直部分を示す拡大図である。

【符号の説明】

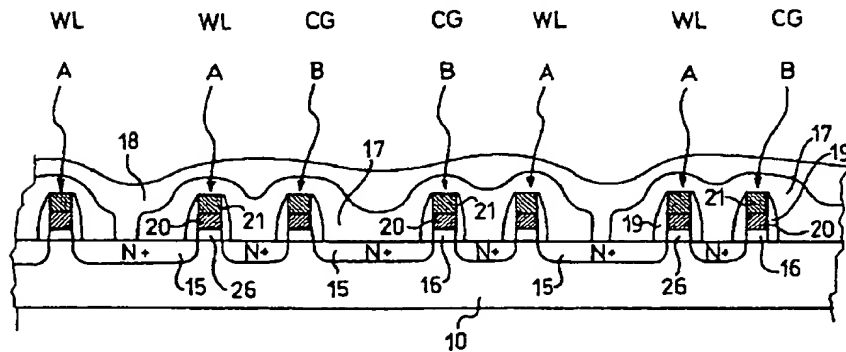
- 1 回路構造
- 2 セル
- 3 行
- 4 列
- 5 選択トランジスタ
- 6 ソース領域
- 7 ソース・アドレッシング・カラム
- 8 コントロール・ゲート

- 9 バイト
- 10 半導体基板
- 12 フローティング・ゲート
- 16 ゲート酸化物
- 17 誘電層
- 18 終端金属化層
- 19 スペース
- 20 第 1 のポリシリコン層
- 21 第 2 のポリシリコン層
- 22 フィード酸化物
- 24 トンネル誘電層
- 25 ポリシリコン層間誘電層
- 26 ゲート酸化物

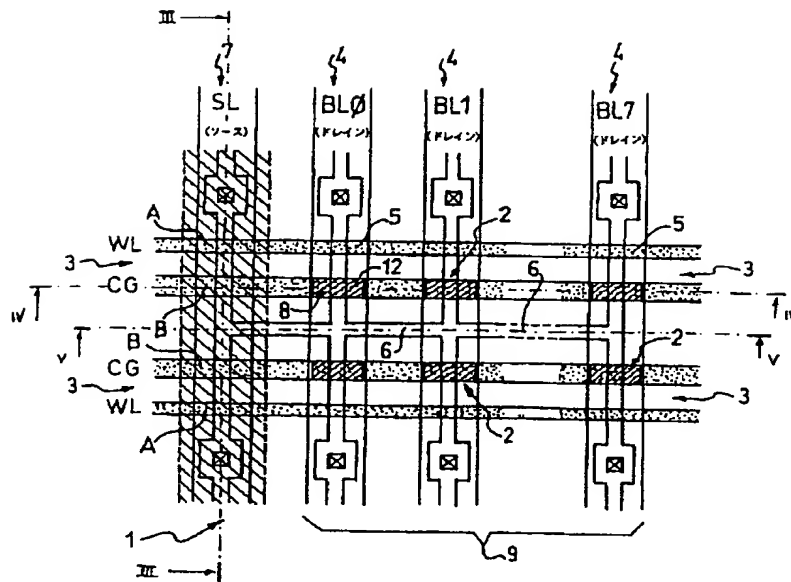
【図 1】



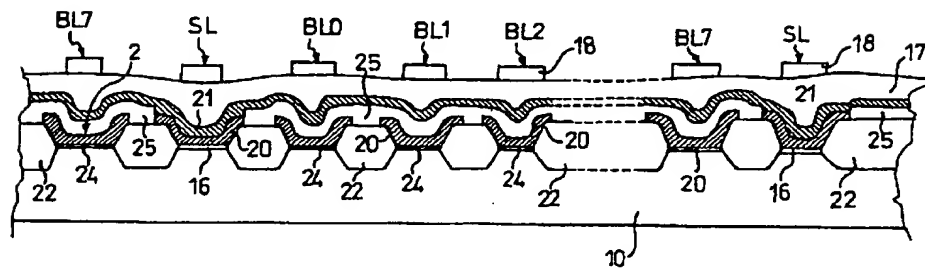
【図 3】



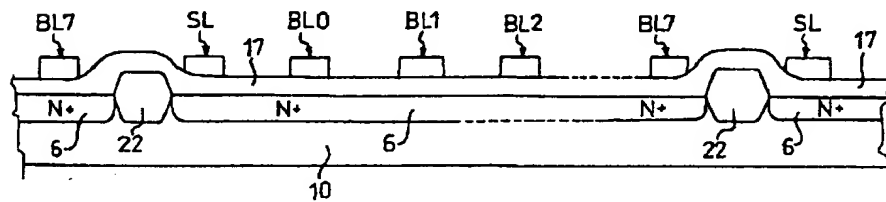
【図 2】



【図 4】



【図 5】



フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H 0 1 L 29/792

識別記号 庁内整理番号 F I

技術表示箇所

(72)発明者 カルロ リーバ  
イタリア国, イー20055 ミラノ, レナテ  
ブリアンツァ, ビア エッレ. マナー  
ラ, 8

(72)発明者 シルビア ルッケリーニ  
イタリア国, イー20151 ミラノ, ビア  
イッポドゥローノ, 56

*Entgegenhaltung 3***Circuit structure for a memory matrix and corresponding manufacturing method.**

Patent Number: ☐ EP0637035, B1  
Publication date: 1995-02-01  
Inventor(s): PIO FEDERICO (IT); RIVA CARLO (IT); LUCHERINI SILVIA C O SGS-THOMS (IT)  
Applicant(s): SGS THOMSON MICROELECTRONICS (IT)  
Requested Patent: ☐ JP7147390  
Application Number: EP19930830339 19930729  
Priority Number(s): EP19930830339 19930729  
IPC Classification: G11C16/04; H01L27/115  
EC Classification: G11C16/04, H01L27/115, G11C16/04F3, H01L21/8247M2P1F  
Equivalents: DE69305986D, DE69305986T  
Cited Documents: EP0182198; EP0326465; WO8906429; JP62060266

---

**Abstract**

---

A circuit structure for a matrix of EEPROM memory cells, being of a type which comprises a matrix of cells (2) including plural rows (3) and columns (4), with each row (3) being provided with a word line (WL) and a control gate line (CG) and each column (4) having a bit line (BL); the bit lines (BL), moreover, are gathered into groups or bytes (9) of simultaneously addressable adjacent lines. Each cell (2) in the matrix incorporates a floating gate transistor (12) which is coupled to a control gate (8), connected to the control gate line (CG), and is connected serially to a selection transistor (5); also, the cells (2) of each individual byte (9) share their respective source areas (6), which areas are structurally independent for each byte (9) and are led to a corresponding source addressing line (SL) extending

along a matrix column (7). 

---

Data supplied from the esp@cenet database - I2

DOCKET NO: GR 95P 2133 Re

SERIAL NO: 09/783,183

APPLICANT: Sedlak

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100